

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-133590

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H01L 21/20
G02F 1/136
H01L 29/786
H01L 21/336

(21)Application number : 10-302130

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 23.10.1998

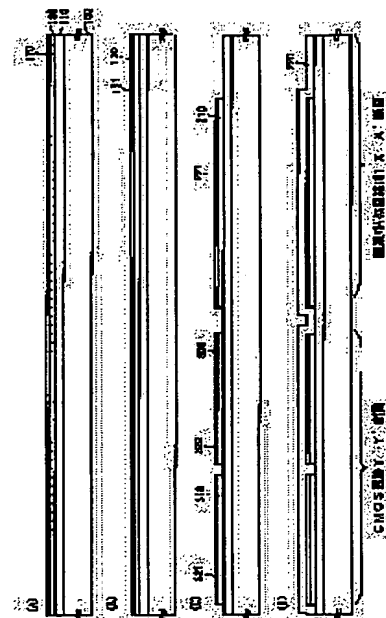
(72)Inventor : YAMAZAKI SHUNPEI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the level of movement of the electrolytic effect of a semiconductor device.

SOLUTION: A silicon film 150 is formed on a base film 110 by a PECVD method, and an insulating film 170 constituted of a nitride silicon film is formed. The CVD silicon film 150 is obtained as a semiconductor thin film in which amorphous components and crystalline components coexist, and provided with a crystal structure in which amorphous parts exist between crystal particles, and the crystal particles are formed in a cylindrical structure with a substrate face as a bottom face. A CVD silicon film 150 is annealed by eximer lasers in a state that the insulating film 170 exists on the surface, so that a crystalline silicon film 151 can be formed. The insulating film 170 and the silicon film 151 are patterned like islands so that active layers 200, 300, and 310 can be formed. Thus, the surfaces of the active layers 200, 300, and 310 are maintained to be covered with island-shaped insulating films 222, 321, and 322 and the surfaces of the active layers can be prevented from being contaminated due to boron, or natural oxide film can be prevented from forming.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-133590
(P2000-133590A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/20		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 5 F 0 5 2
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 B 5 F 1 1 0
21/336			6 2 7 G

審査請求 未請求 請求項の数8 O L (全 15 頁)

(21)出願番号 特願平10-302130

(22)出願日 平成10年10月23日(1998.10.23)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

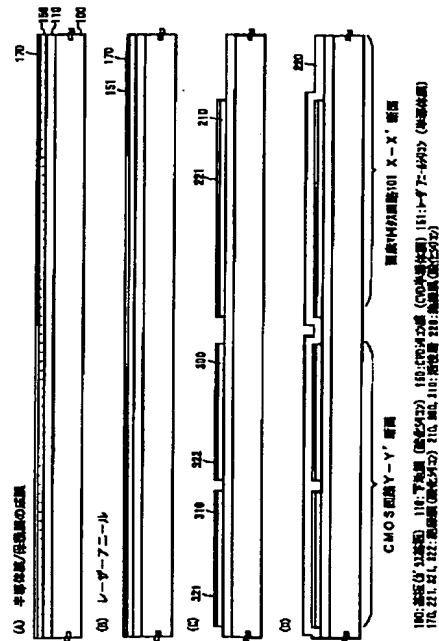
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半導体装置の電解効果移動度を向上する。

【解決手段】 下地膜110上に、PECVD法でシリコン膜150を成膜し、更に、窒化シリコン膜でなる絶縁膜170を成膜する。CVDシリコン膜150は、非晶質成分と結晶成分とが混在した半導体薄膜であり、結晶粒と結晶粒の間に非晶質部分が存在している結晶構造を有し、その結晶粒は基板面を底面とする柱状構造を呈している。絶縁膜170が表面に存在した状態でCVDシリコン膜150をエキシマレーザによりアニールして結晶性シリコン膜151を形成する。絶縁膜170と共に、シリコン膜151を島状にパターニングし活性層200、300、310を形成する。島状の絶縁膜221、321、322で活性層200、300、310表面を覆った状態を保つことで、活性層表面がボロンで汚染されたり、自然酸化膜が形成されることを防止できる。



【特許請求の範囲】

【請求項1】 絶縁表面に形成され、半導体薄膜でなる活性層を有する半導体素子を含む半導体回路を備え、前記半導体薄膜は非晶質成分と結晶成分が混在する半導体薄膜をその表面に絶縁膜が接した状態で結晶化した膜で形成されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体回路はマトリクス回路であり、前記半導体装置はアクティブマトリクス型表示装置又はイメージセンサである。

【請求項3】 請求項1に記載の半導体回路はマイクロプロセッサ、信号処理回路又は高周波回路であることを特徴とする半導体装置。

【請求項4】 請求項1に記載の半導体回路はマトリクス回路であり、前記半導体装置はアクティブマトリクス型表示装置を備えた電子機器である。

【請求項5】 請求項4に記載の電子機器は、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグルディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ又は携帯情報端末である。

【請求項6】 絶縁表面上に形成された半導体素子からなる半導体回路を備えた半導体装置の製造方法であって、

絶縁表面上に非晶質成分と結晶成分が混在した半導体膜を形成する工程と、

前記半導体膜表面に接して絶縁膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項7】 絶縁表面上に形成された半導体素子からなる半導体回路を備えた半導体装置の製造方法であって、

第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の表面に接して非晶質成分と結晶成分が混在した半導体膜を形成する工程と、

前記半導体膜表面に接して第2の絶縁膜を形成する工程と、

前記第2の絶縁膜が接した状態で半導体膜をアニールする工程と、

前記第2の絶縁膜に接して第3の絶縁膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項6又は請求項7に記載された非晶質成分と結晶成分が混在した半導体膜は、PECVD法で成膜することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート型トランジスタ等の半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関するものである。特に、絶縁表面上に結晶性半導体膜を形成する技術に関する。

【0002】本発明の半導体装置は、薄膜トランジスタ(TFT)やMOSトランジスタ等の半導体素子単体だ

けでなく、これら半導体素子で構成された半導体回路を有する半導体装置に関するものであり、アクティブマトリクス型表示装置やイメージセンサ、更にアクティブマトリクス型表示装置やイメージセンサを搭載した電子機器をその範囲に含むものとする。

【0003】

【従来の技術】パーソナルコンピュータやHDTV用のモニターとして、薄膜トランジスタ(TFT)をスイッチング素子に用いたアクティブマトリクス型液晶パネルが開発されている。多結晶シリコン膜で活性層を形成したTFTを用いることで高精細な表示が可能となり、画素マトリクス回路だけでなくドライバ回路を同一基板に作製することが可能になった。

【0004】多結晶シリコン膜を形成するには、PECVD(Plasma Enhanced Chemical Vapor Deposition)法でシリコン膜を堆積しながら多結晶化する方法、非晶質シリコン膜を成膜した後結晶化させることによって形成する方法が知られている。堆積しながら多結晶化するには成膜温度に600℃が必要であるが、非晶質シリコン膜は300℃程度の成膜温度で大面積に成膜が可能のため、一般的に、後者の方法で形成された多結晶シリコン膜がTFTの活性層に用いられている。

【0005】非晶質シリコン膜の結晶化方法には、エキシマレーザやArレーザ等のレーザ光を照射する方法、電気炉において600～1000℃で加熱する方法が採用されている。特に、基板にコーニング1737ガラス基板のような低耐熱性の基板を用い、プロセス温度が600℃以下の結晶化工程を経た多結晶シリコンは低温ポリシリコンあるいは低温多結晶シリコンと呼ばれている。

【0006】また、従来のトップゲート型TFTの製造工程では、非晶質シリコン膜を成膜し、幾つかの工程(例えば、結晶化工程、バターンニング工程)を経た後にゲート絶縁膜を形成している。そのため、ゲート絶縁膜の形成以前では、活性層となる多結晶シリコン膜表面は大気雰囲気さらされているので、活性層表面が不純物(酸素、水分、ボロン、ナトリウム等)により汚染されたり、酸化されてしまっていた。この状態で、ゲート絶縁膜を形成すると、活性層、特にチャネル形成領域とゲート絶縁膜との界面特性が低下し、TFTの電気特性の低下させる原因、例えばしきい値のばらつきを引き起こす原因となっていた。本出願人はTFTのしきい値をばらつかせる原因の1つとして、ボロンが不定量活性層に混入していることを突き止めた。

【0007】クリーンルーム内の大気はHEPAフィルタによって清浄されている。HEPAフィルタは網目状のガラスでなるが、網目状構造を作りやすくするためにボロンが多量に含まれている。そのため、HEPAフィルタから排出されるボロンによって、クリーンルーム内は当然汚染されてしまう。

【0008】

【発明が解決しようとする課題】従来の低温多結晶シリコン膜を用いたTFTの電界効果移動度は、Nチャネル型の場合でも高々 $100\text{ cm}^2/\text{Vs}$ 程度である。これは多結晶シリコンでは結晶粒界がキャリア（電子又はホール）の移動の大きな障害となっているためであり、結晶粒界ではシリコン原子の結合が切れて多くの不對結合手が存在し、この不對結合手が捕獲準位となっているためである。

【0009】また、HEPAフィルタから排出されるボロンにより、クリーンルームの雰囲気汚染されているので、シリコン膜を大気雰囲気さらしてしまおうと、その表面はボロンに汚染されてしまう。SIMS分析によると、トップゲート型TFTにおいて、ボロンの濃度分布は活性層とゲート絶縁膜と界面に最大のピークが存在し、その値は $1 \times 10^{17}\text{ atoms/cm}^2$ 以上であった。このようなボロンによる活性層とゲート絶縁膜界面の汚染はTFTのしきい値をばらつかせる大きな原因となっている。

【0010】クリーンルームのボロンによる汚染を回避するには、ボロンを含有しないフィルタを用いればよいが、このようなフィルタはHEPAフィルタに比べ非常に高価である。

【0011】本発明の目的は、従来の多結晶シリコンの欠点を解消し、半導体薄膜を活性層に用いた半導体素子の電気特性を向上し、さらに大気中の不純物（ボロン、ナトリウム、酸素、窒素、炭素など）による活性層表面の汚染を防止し、信頼性の高い半導体素子を製造するための技術を提供することにある。

【0012】

【課題を解決するための手段】上記の課題を解決するため、本発明は、PECVD法により、非晶質成分と結晶成分が混在した半導体膜を形成し、アニールする。アニールされた半導体薄膜を半導体素子の活性層に用いる。

【0013】非晶質成分と結晶成分が混在した半導体膜を結晶化させることで、結晶粒界での不對結合手が少なくなるため、半導体素子の電気特性を向上させることができる。

【0014】なお、本明細書において「半導体膜」とは、シリコン（Si）膜、ゲルマニウム（Ge）膜、シリコン-ゲルマニウム化合物（ $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示される）をいう。

【0015】更に、本発明の目的は、非晶質成分と結晶成分が混在した半導体膜を成膜した後、その表面に密着して絶縁膜を成膜する。この絶縁膜により、活性層表面を大気中のボロン、ナトリウム、酸素、炭素、窒素などにより半導体膜が汚染されたり、酸化されることを防止することにある。更に、活性層裏面（下地側表面）が不純物によって汚染されることを防止することにある。

【0016】

【発明の実施の形態】 以下、図1を参照して、本発明の実施形態を説明する。

【0017】基板100を用意する。基板100にはガラス基板、石英基板、セラミック基板等の絶縁性基板、単結晶シリコン基板、更にステンレス基板、Cu基板、Ta、W、Mo、Ti、Cr等の高融点金属材料又はこれら合金系（例えば、窒素系合金）でなる導電性基板を用いることができる。

【0018】基板100表面には絶縁表面を有する下地膜110を形成する。ガラスや石英基板のように絶縁表面を有する基板100を用いた場合には、下地膜110は形成しなくとも良いが、下地膜110には半導体素子内に基板から不純物が拡散するのを防ぐ機能や、基板100上に形成される半導体膜や金属膜の密着性を高める機能を有する。

【0019】下地膜110には、CVD法やスパッタ法などで成膜した酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜が使用できる。

【0020】例えば、シリコン基板を使用した場合には、熱酸化によってその表面を酸化して下地膜を形成することができる。また、石英基板等の耐熱性基板を用いた場合には、非晶質シリコン膜を成膜し熱酸化して、酸化シリコン膜を形成することができる。

【0021】更に、下地膜110として、タングステン、クロム、タンタル等の高融点金属の被膜や、窒化アルミニウム膜等の高い伝導度を有する被膜を下層に、上記の無機絶縁膜を上層に積層した積層膜を用いてもよい。この場合には、半導体装置で発生した熱が下地膜110の下層の被膜から放射されるため、半導体回路の動作が安定できる。

【0022】下地膜110上に、PECVD法で半導体膜150を成膜する。ここでは、アニール処理の出発膜となる半導体膜150をCVD半導体膜150と呼ぶことにする。更に、CVD半導体膜150表面に接して絶縁膜170を成膜する。（図1（A））

【0023】CVD半導体膜150は、非晶質成分と結晶成分とが混在した半導体薄膜であり、結晶粒と結晶粒の間に非晶質部分が存在している結晶構造となっている。

【0024】このような結晶構造を有する半導体膜150を成膜するには、例えば、シリコン膜を成膜する場合には、原料ガスに H_2 で希釈した SiH_4 （モノシラン）又は Si_2H_6 （ジシラン）を用い、ガス流量比を $\text{SiH}_4:\text{H}_2=1:30\sim100$ （又は $\text{Si}_2\text{H}_6:\text{H}_2=1:30\sim100$ ）、圧力 $5\sim270\text{ Pa}$ 、RF電力密度 $10\sim250\text{ mW/cm}^2$ 、基板温度 $80\sim350^\circ\text{C}$ とすればよい。なお、 SiH_4 又は Si_2H_6 をHe（ヘリウム）で希釈することもできる。

【0025】CVDシリコン膜150は、非晶質成分と結晶成分が混在した結晶構造を有し、結晶粒と結晶粒の

間に非晶質成分が存在している。また、結晶粒は基板面を底面とする柱状構造を呈しているのが観察された。

【0026】また、半導体膜150としてゲルマニウム膜を成膜する場合には、原料ガスに H_2 （又は He_2 ）で希釈した GeH_4 （モノゲルマン）を用いればよい、またシリコン-ゲルマニウム化合物膜を成膜する場合には、 SiH_4 （又は Si_2H_6 ）と GeH_4 の混合ガスを H_2 （又は He_2 ）で希釈したガスをを用いればよい。

【0027】絶縁膜170は半導体膜150表面が酸素、水分、ボロン、ナトリウム等により汚染されたり、酸化されたりすることを防止するための膜である。絶縁膜170は酸化シリコン、窒化シリコン、窒化酸化シリコンでなる単層膜又はこれらの多層膜で形成される。

【0028】半導体膜150表面の汚染、酸化を防止するために、半導体膜150を成膜した後は、その表面を大気にさらさないようにして、絶縁膜170を成膜するのが望ましい。

【0029】この場合には、図8に示すマルチタスク型のPECVD装置を利用すると実施が容易である。例えば、1つのCVD室404で半導体膜150を成膜し、ロボットアーム410により基板を他のCVD室405に移動して、絶縁膜170を成膜すればよい。

【0030】また、反応室が1つしかないPECVD装置でも、CVDシリコン膜150を成膜した後、基板を反応室から出さずに反応ガスを変えて絶縁膜170を成膜すればよい。

【0031】また、下地膜110表面を大気雰囲気さらした後、CVDシリコン膜150を成膜する場合には、反応室内でCVDシリコン膜150の成膜前に、下地膜110表面を水素プラズマにさらして表面の不純物を除去することが望ましい。

【0032】絶縁膜170を成膜した後、CVD半導体膜150をアニール処理（結晶化处理）する。アニールにより、半導体膜中の非晶質成分が結晶化されると共に、結晶粒も成長し、結晶性を有する半導体膜151が形成される。（図2（B））

【0033】本発明のPECVD法より堆積した膜を出発膜にして結晶化させた半導体膜151は、従来の多結晶半導体膜とは異なり、結晶粒界での原子の結合がスムーズであり、不對結合手が少ない。これは、出発膜において、非晶質部分が結晶粒と結晶粒間の応力の緩衝部分となり、結晶成分（結晶粒）と非晶質部分との接合部分には不對結合手が少なく、このような出発膜をアニールすることで、粒界に不對結合手の少ない半導体膜を得ることができる。

【0034】本発明のアニール処理には、電気炉内で加熱処理する熱アニールと、光を照射する光アニールと大別される。光アニールは基板にかかる熱的ストレスが熱アニールよりも少なく、短時間で処理することができるという長所を有する。特に、短波長ほどガラス基板に吸

収されないため、熱的なストレスが小さい。

【0035】光アニールには、レーザアニールとランプアニールに大別できる。レーザアニールには、励起ガスとして $XeCl$ 、 ArF 、 KrF 等を用いたエキシマレーザのようなパルス発振型のレーザや、 Ar レーザやルビーレーザ等の連続発振型のレーザが用いられる。他方ランプアニールには、赤外ランプや水銀ランプ等の赤外光や紫外光を発するランプ光源を用いられる。また光アニールでは、照射する光を線状、長形状または正方形に整形して照射することで、スルーショットが向上される。

【0036】なお、光アニールの条件（光の波長、ビームの形状、オーバーラップ率、照射強度、照射時間等）は、半導体膜の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。また、光アニールの条件によっては、半導体膜が溶融状態を経過して結晶化する場合や、半導体膜が溶融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。

【0037】また、結晶化を助長する触媒元素（ニッケル）を添加する熱結晶化については、特開平7-130652号公報、特開平9-312260号公報等に詳細に記載されている。結晶化を助長する金属元素としてはシリコンに対する拡散が侵入型である元素が用いられ、 Fe 、 Co 、 Ni 、 Ru 、 Rh 、 Pd 、 Os 、 Ir 、 Pt 、 Cu 、 Au から選ばれた一種または複数種類の元素が用いられる。更に非晶質シリコン膜中の拡散が置換型拡散である Ge 、 Pb を用いることもできる。

【0038】ただし、触媒元素を用いた場合には、半導体膜中に触媒元素が高濃度に残存するため、結晶化処理後に半導体膜中の触媒元素の濃度を低減する工程、いわゆるゲッタリング処理を施すことが好ましい。

【0039】本発明では、表面に絶縁膜170が接した状態で半導体150をアニールしているため、アニールの雰囲気が大気雰囲気であっても、汚染物質、主に酸素、窒素、炭素、ボロンが半導体膜150に混入するのが防止でき、結晶化が基板ごとにはばらつくことが防止される。

【0040】同じフォトリソマスクを用いて、アニールされた半導体膜151と絶縁膜170をパターンニングして所望の形状の活性層210、300、310、及びこれら活性層表面に密接した絶縁膜221、322、321を形成する。

【0041】本実施形態により、活性層210、300、310と絶縁膜221、322、321との界面近傍の酸素、炭素、窒素の濃度はSIMSによる分析で $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることができ、ボロンのそれぞれ濃度はSIMSによる分析で $1 \times 10^{17} \text{ atoms/cm}^3$ 以下にすることができ。

【0042】活性層210、300、310を利用して、薄膜トランジスタ（TFT）やダイオード、メモリ

素子などの半導体素子を形成することができる。これら半導体素子で回路（例えば、マトリクス回路）を形成し、アクティブマトリクス型表示装置やイメージセンサ等の半導体装置を製造することができる。

【0043】更に、パターニング工程以降の工程でも、絶縁膜221、322、321をこれら活性層表面に密接した状態を維持することで、活性層210、300、310表面が不純物で汚染されることを防ぐことができる。

【0044】本発明のアニールされた半導体膜151を活性層に用いたTFTの電界効果移動度は、Nチャネル型では、典型的には $100 \sim 500 \text{ cm}^2/\text{Vs}$ を実現でき、Pチャネル型では $20 \sim 300 \text{ cm}^2/\text{Vs}$ 、典型的には $50 \sim 300 \text{ cm}^2/\text{Vs}$ を実現できる。

【0045】

【実施例】以下、図1～図11を用いて、本発明の実施例を説明する。

【0046】【実施例1】 図1～図7を用いて、本実施例を説明する。本実施例は本発明をアクティブマトリクス型の液晶パネルに応用した例である。

【0047】図7は、本実施例のアクティブマトリクス型液晶パネルの概略図である。図7に示すようにアクティブマトリクス基板と対向基板とが対向し、これらの基板間に液晶が挟まれている。アクティブマトリクス基板はガラス基板100上に形成された画素マトリクス回路101、走査線駆動回路102、信号線駆動回路103を有する。

【0048】走査線駆動回路102、信号線駆動回路103はそれぞれ走査線230、信号線240によって画素マトリクス回路101に接続されている。これら駆動回路102、103はCMOS回路で主に構成されている。

【0049】画素マトリクス回路101の行ごとに走査線230が形成され、列ごとに信号線240が形成されている。走査線230、信号線240の交差点付近には、画素TFT200が形成されている。画素TFT200のゲート電極は走査線230に接続され、ソースは信号線240に接続されている。更に、ドレインには画素電極260、保持容量270が接続されている。

【0050】対向基板130はガラス基板全面にITO膜等の透明導電膜が形成されている。透明導電膜は画素マトリクス回路101の画素電極260に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。対向基板130には必要であれば配向膜や、カラーフィルタが形成されている。

【0051】アクティブマトリクス基板側のガラス基板にはFPC131を取り付ける面を利用してICチップ132、133が取り付けられている。これらのICチップ132、133はビデオ信号の処理回路、タイミングパルス発生回路、 γ 補正回路、メモリ回路、演算回路

などの回路をシリコン基板上に形成して構成される。

【0052】図6(A)は画素マトリクス回路101の上面図であり、ほぼ1画素の上面図である。図6(B)は駆動回路102、103を構成するCMOS回路の上面図である。

【0053】図5はアクティブマトリクス基板の断面図であり、画素マトリクス回路101、CMOS回路の断面図である。画素マトリクス回路101の断面図は図6(A)の鎖線X-X'に沿った断面に対応し、CMOS回路の断面図は図6(B)の鎖線Y-Y'に沿った断面に対応する。

【0054】基板100全面に下地膜110が形成されている。画素マトリクス回路101の画素TFT200は絶縁膜220と221でなるゲート絶縁膜を介して、下地膜100上に形成された活性層210、ゲート電極230Eを有する。絶縁膜221のパターンは活性層210と同じであり、走査線230と画素TFT200のゲート電極230Eは一体的に形成されている。

【0055】活性層210には、2つのチャネル形成領域211、212と、チャネル形成領域211、212を挟む1対のN⁺型領域（高濃度不純物領域）213と214、214と215と、チャネル形成領域211、212の両側に接する1対のN⁻型の低濃度不純物領域216と217、218と219が形成されている。低濃度不純物領域216～219のN型の不純物（リン、ヒ素）の濃度は高濃度不純物領域213～215よりも低い。N⁺型領域213、215がそれぞれソース領域、ドレイン領域に対応する。

【0056】CMOS回路は絶縁膜220と321、322でなるゲート絶縁膜を介して形成された活性層300、310と、第1層目の配線であるゲート配線330を有する。Nチャネル型TFTとPチャネル型TFTのゲート配線330は一体的に形成され、絶縁膜321、322はそれぞれ活性層300、310と同じパターンを有する。

【0057】Nチャネル型TFTの活性層300には、1つのチャネル形成領域301と、一対のN⁺型のソース/ドレイン領域（高濃度不純物領域）302、303が形成され、チャネル形成領域301とソース/ドレイン領域302、303との間には、これらの領域に接してN⁻型の低濃度不純物領域304、305が形成されている。低濃度不純物領域304、305はN型の不純物（リン又はヒ素）の濃度が高濃度不純物領域302、303よりも低い。

【0058】Pチャネル型TFTの活性層310には、1つのチャネル形成領域311と、一対のP⁺型のソース/ドレイン領域（高濃度不純物領域）312、313が形成され、チャネル形成領域311とソース/ドレイン領域312、313との間には、これらの領域に接してN⁻型の低濃度不純物領域314、315が形成され

ている。低濃度不純物領域314、315はP型の不純物（ボロン）濃度が高濃度不純物領域312、313よりも低い。

【0059】走査線230及びゲート配線330は同じ工程で作製され、A1を主成分とする材料で形成され、これらの表面は配線の陽極酸化物であるアルミナ膜231、331で覆われている。

【0060】活性層210、300、310を覆って、層間絶縁膜111が形成されている。層間絶縁膜111上には第2層目の配線・電極として、信号線240、ドレイン電極241、ソース配線341、342、ドレイン電極343が形成されている。ドレイン電極343は他のCMOS回路のゲート配線335に接続されている。

【0061】第2層目の配線・電極を覆って、第1の平坦化膜112が形成されている。第1の平坦化膜112上には、第3層目の配線として、ブラックマスク250、ソース配線351、352が形成されている。ブラックマスク250は図6（A）に示すように、画素マトリクス回路101で一体的であり、その電位は所定の値に固定されている。

【0062】第3層目の配線を覆って、第2の平坦化膜113が形成されている。第2の平坦化膜113上にはドレイン電極231に接続して画素電極260が形成されている。ブラックマスク250、画素電極260を対向する電極に、第2の平坦化膜113を誘電体として、保持容量270が形成される。

【0063】以下、図1～図4を用いて、図5～図7に示したアクティブマトリクス基板の作製工程を説明する。図1～図4の各断面図は図5の断面図に対応し、右側に画素マトリクス回路の断面図を示し、左側にCMOS回路の断面図を示す。

【0064】ガラス基板100を用意する。ここでは、コーニング社製1737基板（歪点667℃）を用いる。基板100表面に下地膜110として、PECVD法でTEOSとO₂を原料に酸化シリコン膜を厚さ200nm成膜する。次下地膜110を形成した後、200～700℃で熱処理する。もちろん、この熱処理温度の上限は基板の歪点以下とする。ここでは、640℃、4時間加熱する。

【0065】下地膜110上にPECVD法によりCVDシリコン膜150を成膜する。CVDシリコン膜150表面を大気雰囲気中にさらさないようにして、酸化シリコンでなる絶縁膜170を成膜する。

【0066】CVDシリコン膜150の成膜条件は、SiH₄流量を2sccm、H₂流量を200sccmとし、成膜時の圧力133Paに保ち、RF（13.56MHz）電力密度120mW/cm²、基板温度300℃とした。成膜されたCVDシリコン膜150は、非晶質成分と結晶成分とが混在した半導体薄膜であり、結晶

粒と結晶粒の間に非晶質部分が存在している結晶構造となっている。（図1（A））

【0067】図8は、CVDシリコン膜を成膜するためのCVD装置の概略の構成図である。図8（A）は上面図であり、図8（B）は鎖線A-A'による断面図である。

【0068】図8において、400は処理基板、401は共通室である。ゲート弁311～316により気密性を保持して、ロードロック室402、403、CVD室404～406、加熱室407がそれぞれ共通室401に連結されている。また、各室401～407には、減圧状態にするための排気系や、雰囲気制御用のガスや反応ガスを供給するためのガス供給系が接続されている。

【0069】共通室401には処理基板400を移動するためのロボットアーム410が設けられている。ロボットアーム310は矢印で示すように3次的に移動自在とされている。

【0070】ロードロック室402、403は処理基板400を装置外部に搬入・搬出するためのカセットが配置されている。

【0071】各CVD室404～406はほぼ同じ構成を有する。接地電位に接続された上部電極441と、RF電源443に接続された上部電極342を有する平行平板型のPECVD装置とする。もちろんPECVD装置の型は平行平板型に限定されるものではなく、ECR型や容量結合型等、他の構成でもよい。

【0072】加熱室407には、処理基板400を設置するための基板ホルダー451、処理基板400を加熱するための加熱ランプ452、453が設けられている。

【0073】本実施例では、下地膜の成膜及び加熱処理、CVDシリコン膜150の成膜、絶縁膜170の成膜を図8に示すCVD装置を用いる。

【0074】まず、ガラス基板100をCVD室404へ移動し、TEOSとO₂を反応ガスに用い、基板温度400℃にして、酸化シリコンでなる下地膜110を成膜する。次に、ロボットアーム410により基板100を加熱室407に移動し、上述した条件で加熱処理する。次に、ロボットアーム410により基板をCVD室405に移動して、上述した条件でCVDシリコン膜150を成膜する。次にロボットアーム410により基板をCVD室406に移動して、SiH₄とO₂を反応ガスに用い、基板温度400℃で厚さ20nmの酸化シリコンでなる絶縁膜170を成膜する。成膜済みの基板100をロードロック室401又は402へ移動して、装置から搬出する。

【0075】本実施例では下地膜110、CVDシリコン膜150、絶縁膜170の表面を大気にさらすことなく、各膜を成膜したため、下地膜110とCVDシリコ

ン膜150の界面、及びCVDシリコン膜150と絶縁膜170の界面が汚染されたり、酸化されたりすることが防げる。

【0076】次に、絶縁膜170が表面に接した状態でCVDシリコン膜150をアニールして、レーザアニールシリコン膜（結晶性シリコン膜）151を形成する。本実施例では、CVDシリコン膜150をレーザアニールする。レーザ光源としてXeClエキシマレーザを用いた。また、光学系によりレーザ光を線状に整形し、パルス周波数を30Hz、オーバーラップ率を96%、レーザエネルギー密度を359mJ/cm²とする。（図1（B））

【0077】レーザ光を照射することにより、CVDシリコン膜150の非晶質成分が結晶化されると同時に、結晶粒が成長し、結晶性が向上されたレーザアニールシリコン膜（結晶性シリコン膜）151が形成される本実施例では、シリコン膜150表面に絶縁膜170が接した状態でレーザアニールしているため、シリコン膜151表面にレーザアニールにより自然酸化膜が形成されることが防止できる。

【0078】同じフォトリソマスクを用いて、絶縁膜170とレーザアニールシリコン膜151をパターンニングする。所望の形状（図6参照）を有する絶縁膜221、321、322、活性層210、300、310を形成する。（図1（C））

【0079】なお、結晶化工程後、しきい値制御をするために、チャネル形成領域となる領域に不純物を添加する工程を加えてもよい。

【0080】絶縁膜221、321、322を覆って基板100全面に絶縁膜220を形成する。絶縁膜220として厚さ150nmの酸化シリコン膜をPECVD法で成膜する。なお、絶縁膜220として酸化シリコンの単層膜の他、シリコンの酸化物、窒化物、窒化酸化物やポリイミドやアクリル、BCB（ベンゾシクロブテン）などの樹脂の単層膜又は積層膜を成膜すればよい。絶縁膜221、321、322と絶縁膜220の積層膜が各TFTのゲート絶縁膜を形成する。

【0081】絶縁膜220上に、第1層目の配線となる導電膜を形成する。本実施例では導電膜としてアルミニウム膜を400nmの膜厚で成膜する。フォトリソマスク154、155を用いて、アルミニウム膜をパターンニングし、配線の原型となるアルミニウムパターン156、157を形成する。（図2（A））

【0082】配線を構成する導電膜としては、導電性材料または半導体材料、例えば、アルミニウム（Al）、タンタル（Ta）、銅（Cu）、ニオブ（Nb）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、クロム（Cr）、シリコン（Si）、シリサイド等を主成分とする層からなる単層構造または積層構造を用いることができる。

【0083】導電膜を形成する前に、レーザアニールシリコン膜に更に光アニール又は熱アニールを施して、結晶粒内の欠陥を減少させるようにしても良い。もちろん、シリコン膜151を島状にパターンニングした後にアニールを施すこともできる。

【0084】アルミニウムパターン156、157を陽極酸化する。電解溶液に稀酸（温度30℃）を用い、到達圧力8V、電流15mV/枚とする。この陽極酸化工程では、フォトリソ156、157が存在するため、パターン156、157側面のみが陽極酸化されて、アルミナ膜158、159が形成される。アルミナ膜158、159はポーラス状の結晶構造を有し、フッ酸に容易にエッチングされる。（図2（B））

【0085】フォトリソマスク156、157を除去した後、再び陽極酸化処理を行う。電解溶液に酒石酸（温度10℃）を用い、到達圧力80V、電流15mV/枚とする。この陽極酸化では、アルミナ膜158、159内にも電解溶液が浸透するため、アルミニウムパターン156、157表面が陽極酸化されて、アルミナ膜231、331が形成される。アルミナ膜231、331は緻密な結晶構造を有するバリア型の膜であり、フッ酸に耐エッチング特性を有する。2回の陽極酸化工程で残存したアルミニウムパターン156、157がそれぞれ、走査線230、ゲート配線330となる。（図2（C））

【0086】プラズマドーピング法によりN型の導電性を付与する不純物を活性層200、300、310に添加する。本実施例ではリンを添加する。リンの代わりにヒ素（As）でも良い。アルミナ156、157、231、331がマスクとして機能して、N型172～177が自己整合的に形成される。（図3（A））

【0087】アルミナ膜156、157をフッ酸により除去する。（図3（B））

【0088】再び、プラズマドーピング法によりリンを活性層210、300に添加する。走査線230、ゲート配線330、アルミナ膜221、331がマスクとして機能し、活性層210にチャネル形成領域211、N⁺型の高濃度不純物領域212、213、214、N⁻型の低濃度不純物領域215～219が自己整合的に形成される。同時に、活性層300に、真性なチャネル形成領域301、N⁺型のソース領域302、N⁻型のドレイン領域303、低濃度不純物領域304、305が自己整合的に形成される。更に、活性層310にもN⁺型の高濃度不純物領域182、183、N⁻型の低濃度不純物領域184、185が自己整合的に形成される。（図3（C））

【0089】各N⁺型の高濃度不純物領域は2度のドーピング工程でリンが添加された領域であり、各N⁻型の低濃度不純物領域はその上部に絶縁膜220を介してアルミナ膜156、157が存在していた領域である。

【0090】次に、Nチャネル型TFTの活性層200、310を覆うフォトレジストマスク161を形成した後、活性層310にP型の不純物をプラズマドーピング法で添加する。ここではボロンを添加する。ゲート配線330、アルミナ膜331がマスクとして機能し、活性層310に真性なチャンネル形成領域311、P⁺型のソース領域312、P⁺型のドレイン領域313が自己整合的に形成される。(図4(A))

【0091】リン(ヒ素)、ボロンの添加はプラズマドーピング法、イオン注入法、レーザドーピング法、拡散法等の公知の手段を用いればよい。

【0092】なお、本明細書中で真性なシリコン(半導体)とは、シリコンのフェルミレベルを変化させ得るリン、ヒ素、ボロン(ソース/ドレイン領域に添加された不純物)を一切含まないシリコン(半導体)である。または、しきい値制御をするためにリン、ヒ素、ボロンを意図的に添加したシリコン(半導体)であり、この場合のシリコン(半導体)中のリン、ヒ素、ボロンの濃度はそれぞれ $1 \times 10^{11} \sim 1 \times 10^{17}$ atoms/cm³の範囲にある。

【0093】フォトレジストマスク161を除去した後、活性層に添加した不純物(ボロン、リン)を活性化するため、レーザ光を活性層210、300、310に照射し、更に熱処理を行う。レーザ照射条件はパルス周波数50Hz、レーザエネルギー密度179mJ/cm²とする。熱処理条件は窒素雰囲気、温度450℃、処理時間2時間とする。

【0094】層間絶縁膜111として、PECVD法で厚さ20nmの窒化シリコン膜、厚さ900nmの酸化シリコン膜を積層して成膜する。層間絶縁膜111にソース領域、ドレイン領域を露出させるコンタクトホールを形成する。層間絶縁膜111上にチタン(150nm)/アルミニウム(500nm)/チタン(100nm)の積層膜をスパッタ法で成膜し、パターニングして、信号線240、ドレイン電極241、ソース配線341、342、ドレイン電極343を形成する。水素化処理(水素雰囲気、350℃、2時間)を行ない、CMOS回路及び画素TFT200が完成する。(図4(B))

【0095】基板全面に第1の平坦化膜112を形成する。第1の平坦化膜112として窒化シリコンとアクリル膜の積層膜を形成する。まず、PECVD法で厚さ20nmの窒化シリコン膜を成膜し、スピコート法でアクリル膜を膜厚1μmの厚さに成膜する。

【0096】第1の平坦化膜112にソース配線341、342、ドレイン電極343に達するコンタクトホールを形成する。スパッタ法でチタン膜を厚さ300nmに成膜しパターニングして、ブラックマスク250、ソース配線351、352を形成する。

【0097】第2の平坦化膜113として、スピコー

ト法でアクリル膜を1μmの厚さに形成する。平坦化膜112、113にドレイン電極241に達するコンタクトホールを形成する。可視光に対して透明な導電膜としてITO膜を100nmの厚さにスパッタ法で成膜し、パターニングして画素電極260を形成する。画素電極260がブラックマスク260と重なっている部分では、第2の平坦化膜113を誘電体とし、ブラックマスク250と画素電極260を電極とする保持容量270が形成される。以上の工程によりアクティブマトリクス基板が作製される。(図5)

【0098】ここでは透過型の液晶パネルを作製したが、画素電極をアルミニウムのような可視光に対して高い反射率(可視光の全スペクトル域での反射率が80%以上)の材料で形成することで、反射型の液晶パネルを作製することができる。

【0099】本実施例では、画素TFT200はダブルゲート構造としたが、シングルゲート構造、またはトリプルゲート構造等のマルチゲート構造にも適用できる。

【0100】本実施例ではアクティブマトリクス型液晶パネルについて説明したが、アクティブマトリクス型の表示装置であればEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミックス)表示装置に本発明を適用できることは言うまでもない。

【0101】また、画素電極に変えて光電変換層を設けることにより、CMOS型のイメージセンサを作製できることは容易である。

【0102】[実施例2] 本実施例は、実施例1とは異なる方法により結晶性半導体膜を形成する例であり、結晶化を助長する触媒元素を半導体膜全面または選択的に保持させる工程を加える。基本的な構成は実施例1と同様であるので、図1を参照して相違点のみを説明する。

【0103】PECVD法によりCVDシリコン膜150を形成する工程までは実施例1と同様である。

【0104】本実施例では、CVDシリコン膜150の表面にシリコンの結晶化を助長する触媒元素を導入する。シリコンの結晶化を助長する触媒元素としては、Ni、Fe、Co、Pt、Cu、Au、Geから選ばれた一種または複数種類の元素が用いられる。本実施例ではNiを用いる。Niは上記の触媒元素の中でシリコン膜中の拡散速度が早く、最も良好な結晶性を有するシリコン膜を形成することができる。

【0105】また、上記触媒元素を導入する箇所は特に限定されないが、シリコン膜150の全面、またはマスクを形成することにより選択的に導入する。また、触媒元素を非晶質シリコン膜の裏面、または表裏両面に導入する工程としてもよい。

【0106】触媒元素をシリコン膜150に導入した後、絶縁膜170を形成し、絶縁膜を介してレーザ光の照射により結晶化を行ない結晶性シリコン膜を形成す

る。また、レーザ光の照射に代えて加熱する工程としてもよい。また、結晶化後に膜中の触媒元素を低減させるゲッタリングを行う工程を加えてもよい。

【0107】また、シリコン膜に触媒元素を導入する方法としては、非晶質シリコン膜の表面に触媒元素を含有する気体や液体を接触させ得る方法、またはシリコン膜150の膜中に添加させ得る方法等が挙げられ、触媒元素とシリコンが反応してシリコンと触媒元素の化合物が形成される方法であれば良い。例えば、スパッタ法、CVD法、プラズマ処理法、吸着法、イオン注入法、または触媒元素を含有した溶液を塗布する方法を使用することができる。

【0108】溶液を塗布する方法は簡便であり、触媒元素の濃度調整が容易であるという利点がある。本実施例では、塗布方法を用い、1~100ppm(重量換算)の範囲のニッケルを含んだ溶液を塗布する。ただし、非晶質シリコン膜の膜厚を考慮に入れて適宜添加量を調節する必要がある。このようにして得られた非晶質シリコン膜における膜中のニッケル濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³となる。

【0109】以上のようにして触媒元素をシリコン膜150に導入した後、レーザアニールしてレーザアニールシリコン膜151を形成する。また、レーザアニールに代わって、550℃以上の温度で加熱する熱アニールでもよい。また、触媒元素は活性層の半導体特性を損なうものであるため、アニール後に膜中の触媒元素を低減させるゲッタリングを行う工程を加えるのが好ましい。

【0110】以降の工程は、実施例1の製造工程に従えば、アクティブマトリクス基板が作製できる。

【0111】[実施例3] 実施例1ではトップゲート型TFTを例にとって説明したが、本発明の構成はボトムゲート型TFT(代表的には逆スタガ型TFT)に適用することもできる。本実施例では、図9を用いて、逆スタガ型TFTの作製工程を説明する。

【0112】ガラス基板500上に、スパッタ法により、厚さ250nmのタンタル膜を厚さ50nmの窒化タンタルで挟んだ積層膜を形成し、パターニングしてゲート配線501を形成する。陽極酸化工程を行ない、ゲート配線501の表面に陽極酸化膜502を形成する。陽極酸化膜502に代えて、スパッタ法などにより金属酸化物を形成しても良い。ゲート配線501を覆ってゲート絶縁膜503を形成する。本実施例では、PECVD法により、厚さ100nmの窒化酸化シリコン膜と、厚さ250nmの窒化シリコン膜を連続成膜する。更に、ゲート絶縁膜503の成膜工程と連続して、PECVD法で非晶質成分と結晶成分が混在するCVDシリコン膜505、及び窒化シリコンでなる絶縁膜505を成膜する。(図9(A))

【0113】CVDシリコン膜505の成膜条件はSiH₄流量2sccm、H₂流量200sccmとし、成

膜時の圧力133Paに保ち、RF(13.56MHz)電力密度120mW/cm²、基板温度300℃とする。成膜されたCVDシリコン膜150は、非晶質成分と結晶成分とが混在した半導体薄膜であり、結晶粒と結晶粒の間に非晶質部分が存在している結晶構造となっている。また、ゲート絶縁膜503の窒化酸化シリコンの成膜にはSiH₄、N₂Oを反応ガスに用い、ゲート絶縁膜503と絶縁膜505の窒化シリコンの成膜にはSiH₄、NH₃を反応ガスに用いる。

【0114】表面に絶縁膜505が接した状態で、CVDシリコン膜504をレーザアニールする。光学系によりレーザ光を線状に整形してCVDシリコン膜505に照射し、結晶性が向上されたレーザアニールシリコン膜(結晶性シリコン膜)506を形成する。レーザ照射条件は、光源にXeClエキシマレーザを用い、パルス周波数を30Hz、オーバーラップ率を96%、レーザエネルギー密度を359mJ/cm²とする。レーザアニールにより、CVDシリコン膜505の非晶質部分が結晶化されると同時に結晶粒が成長して、結晶性が向上されたレーザアニールシリコン膜506が形成される。

(図9(B))

【0115】基板全面に酸化シリコン膜を厚さ120nmに成膜し、フォトリソマスク507を形成する。フッ酸により酸化シリコン膜をパターニングして、スペーサ508を形成する。絶縁膜505を酸化シリコンとエッチング選択比のある窒化シリコンで形成して、スペーサ508の形成と共に、絶縁膜505が除去されてシリコン膜506の表面が露出されないようにする。(図9(C))

【0116】フォトリソマスク507を除去した後、スペーサ508をドーピングマスクにしてシリコン膜506にN型又はP型の不純物を添加する。ここではリンを添加する。シリコン膜506には自己整合的にN型領域509が形成される。(図9(D))

【0117】チャネル形成領域となる領域をフォトリソマスク511で覆う。スペーサ508とフォトリソマスク511をマスクにして、プラズマドーピング法によりリンを添加する。シリコン膜506には、真性領域521、N⁺型の高濃度不純物領域522、N⁻型の低濃度不純物領域523が自己整合的に形成される。(図10(A))

【0118】シリコン膜506及び絶縁膜505をTFTごとに島状に分断し、活性層530、絶縁膜540を形成する。活性層530には真性なチャネル形成領域531、N⁺型のソース領域532、N⁺型のドレイン領域533、N⁺型の高濃度不純物領域534、535が形成されている。(図10(B))

【0119】層間絶縁膜550としてPECVD法で厚さ0.9μmの酸化シリコン膜を形成する。層間絶縁膜550にコンタクトホールを形成し、スパッタ法でチタ

ン膜を厚さ300nm成膜しパターニングして、ソース配線552、ドレイン配線553を形成する。(図10(C))

【0120】本実施例では、絶縁膜505を成膜することにより、CVDシリコン膜504を成膜以降、活性層530表面を1度も大気にさらさないで、活性層530表面がボロン、ナトリウム、酸素などの不純物で汚染されたり、自然酸化膜が形成されることが防止できる。更に、基板を大気にさらすことなく、ゲート絶縁膜503とCVDシリコン膜504を成膜したため、活性層530とゲート絶縁膜504の界面を清浄に保つことができ、TFTの信頼性を従来よりも向上できる。

【0121】なお、本実施例では逆スタガ型TFTの作製工程を説明したが、他の構造のボトムゲート型TFTとすることもできる。また、本実施例のTFTでCMOS回路や、画素マトリクス回路を構成することは、実施例1の作製工程を参考にすることで容易であり、説明は省略する。

【0122】【実施例4】 本発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用できる。更に、液晶用ドライバ回路(D/Aコンバータ、 γ 補正回路、信号分割回路等)に代表される信号処理回路や携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に適用できる。

【0123】また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載され、中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両(自動車や電車等)の制御用コンピュータなども挙げられる。本発明はその様な半導体装置に対しても適用可能である。

【0124】なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例4のどの構成を採用しても良いし、各実施例を自由に組み合わせることが可能である。

【0125】【実施例5】 実施例1で示したアクティブマトリクス型表示装置は、様々な電子機器のディスプレイとして利用されている。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグルディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍等)などが挙げられる。それらの一例を図11に示す。

【0126】図11(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本発明を音声出力部2002、音声入

力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0127】図11(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0128】図11(C)はモバイルコンピュータ(モータールコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205やその他の信号制御回路に適用できる。

【0129】図11(D)はゴーグルディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0130】図11(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0131】図11(F)は携帯書籍(電子書籍)であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505、アンテナ2506で構成される。本発明は表示装置2502、2503やその他の信号制御回路に適用することができる。

【0132】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0133】

【発明の効果】本発明によれば、従来の低温ポリシリコンと同様に、600℃以下のプロセス温度で結晶粒界の不對結合手が少ない結晶性を有する半導体膜を形成することが可能である。また形成された結晶性を有する半導体膜を用いることで高移動、高信頼性の半導体素子を製造できる。

【0134】また、本発明では、アニールされる半導体膜をPECVD法で成膜するため、従来のTFTの製造ラインを適用でき、余分な設備投資が不要である。

【図面の簡単な説明】

【図1】 実施例1のアクティブマトリクス基板の作製工程を示す断面図

【図2】 図1に続く作製工程を示す断面図

【図3】 図2に続く作製工程を示す断面図

【図4】 図3に続く作製工程を示す断面図

【図5】 実施例1のアクティブマトリクス基板の断面図

【図6】 実施例1の画素マトリクス回路、CMOS回

路の上面図

【図7】 実施例1のアクティブマトリクス型液晶表示装置の概略図

【図8】 マルチタスク型のPECVD装置の上面と断面の概略図

【図9】 実施例3の逆スタガ型TFTの作製工程を示す断面図

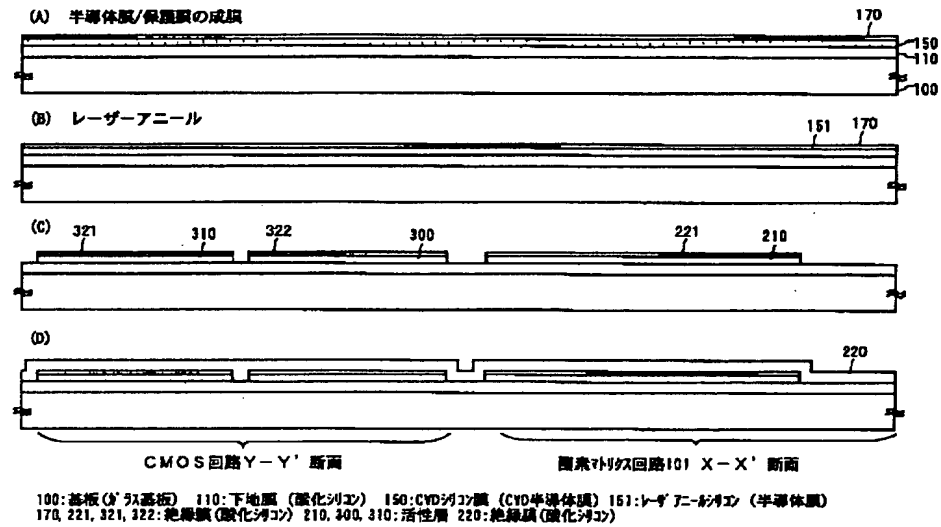
【図10】 図9に続く作製工程を示す断面図

*【図11】 実施例5に示す電子機器の概略図

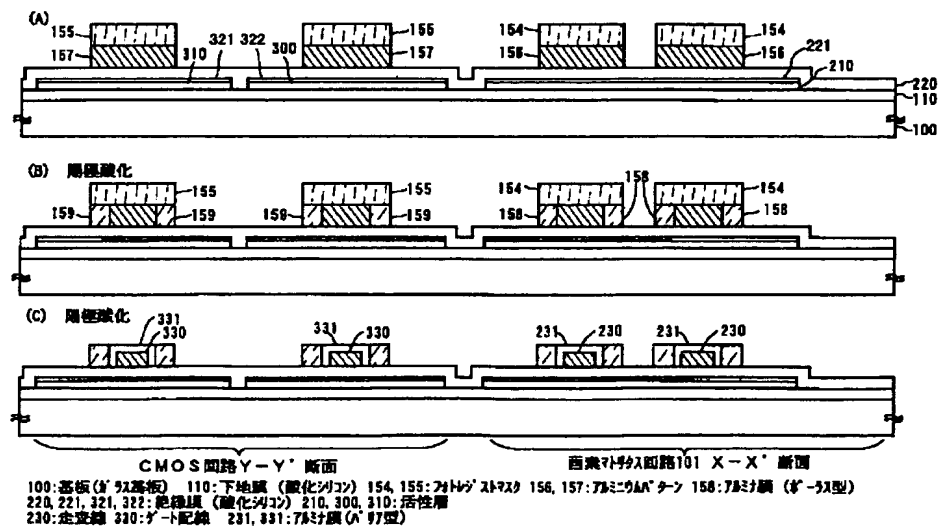
【符号の説明】

100	基板
110	下地膜
150	PECVD法により成膜したシリコン膜
151	レーザアニールシリコン膜
* 170	絶縁膜（酸化シリコン）

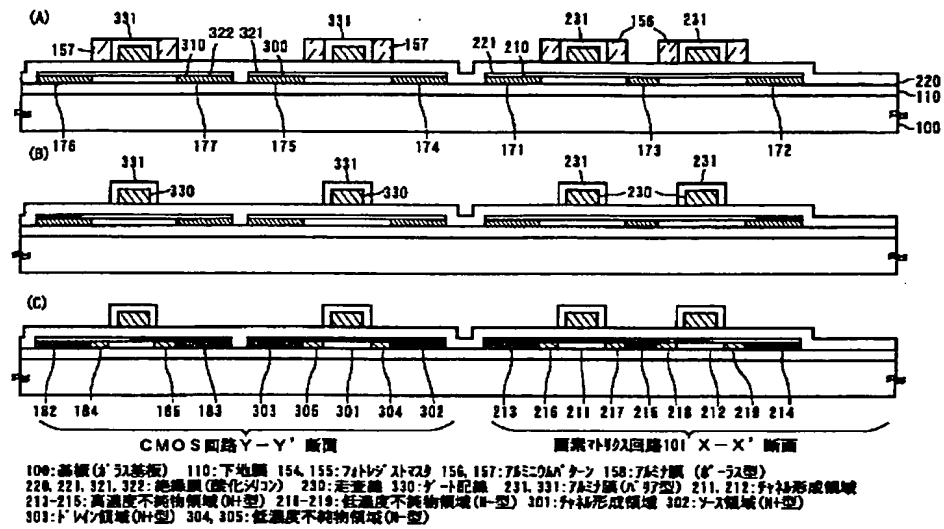
【図1】



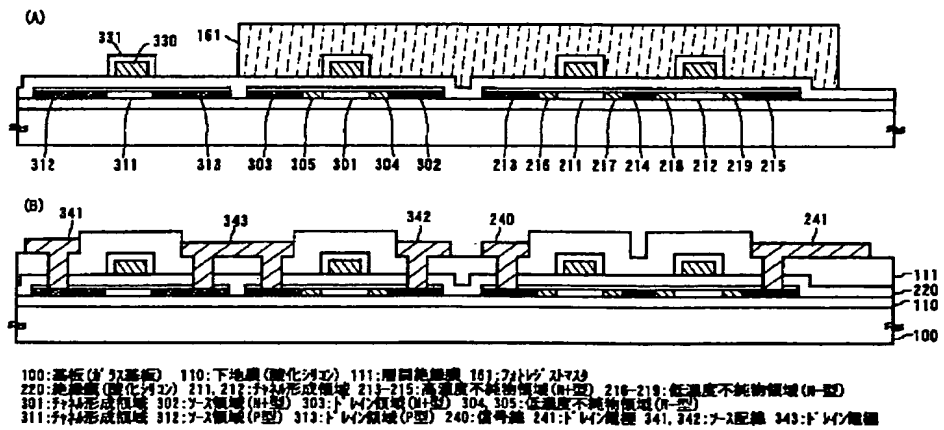
【図2】



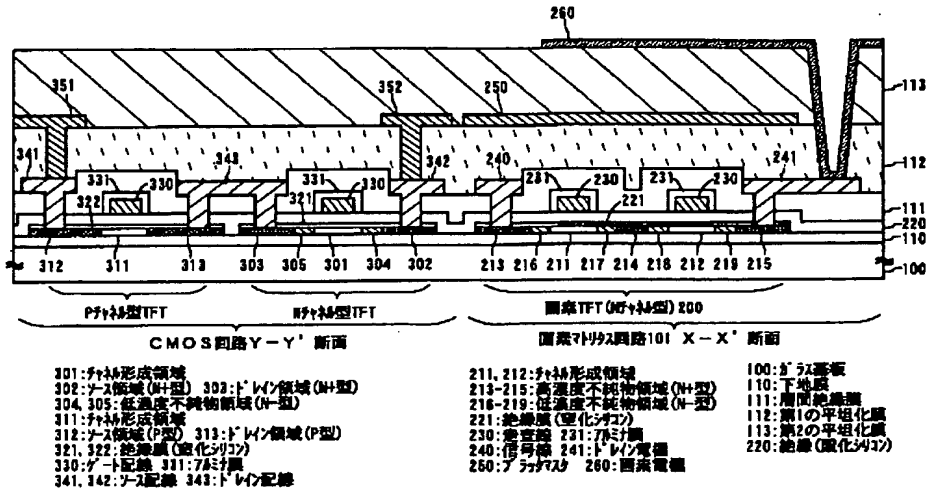
【図3】



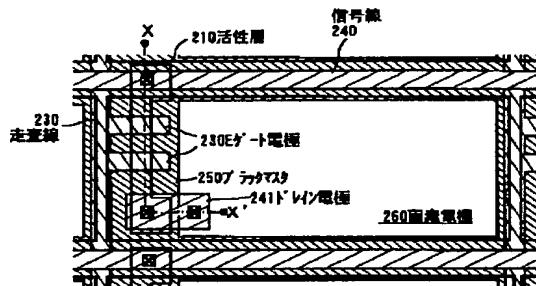
【図4】



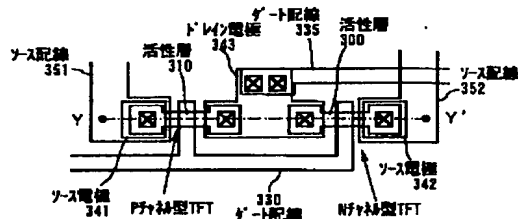
【図5】



【図6】

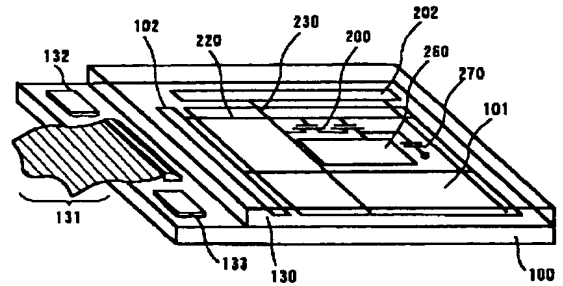


(A) 画素マトリクス回路101上面図



(B) CMOS回路上面図

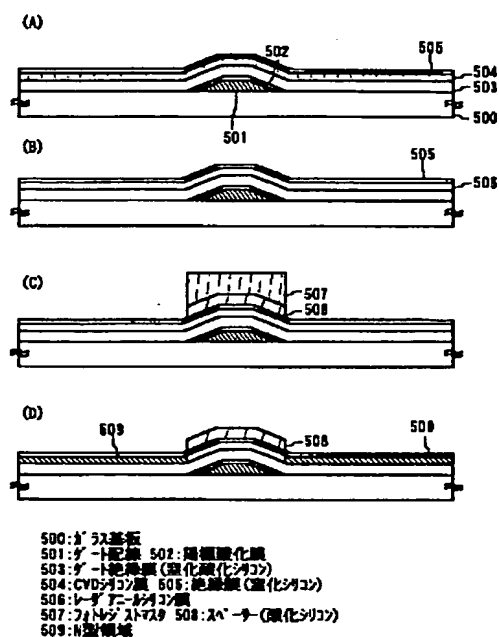
【図7】



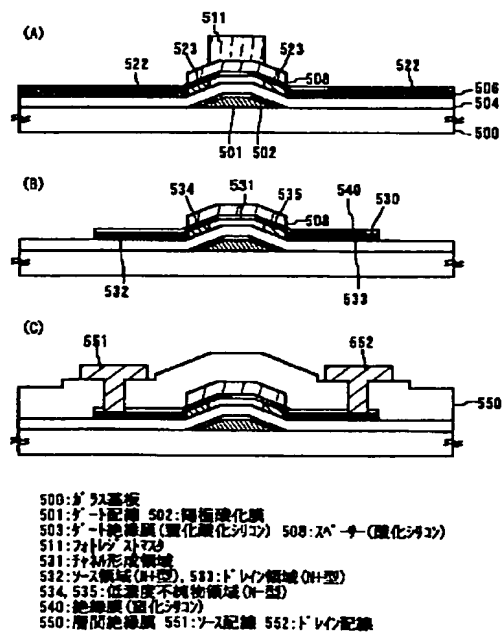
アクティブマトリクス基板

100: 基板 (基板)
101: 画素マトリクス回路
200: 画素TFT
220: 走査線 230: 信号線
260: 画素電極 270: 付加容量
102: 走査線駆動回路
103: 信号線駆動回路
131: FPC
132, 133: ICチップ
130: 対向基板

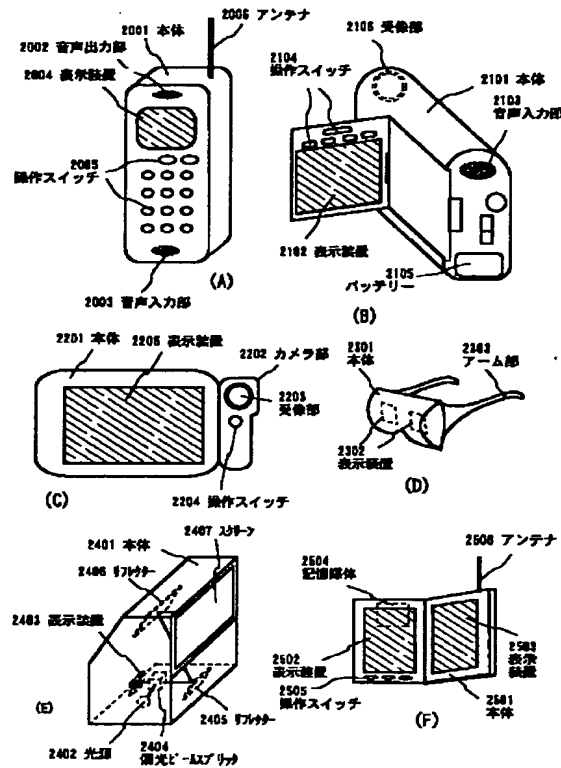
【図9】



【圖 10】



【図11】



フロントページの続き

F ターム(参考) 2H092 JA01 JA24 JA25 JA26 KA04
 KA05 KA10 MA05 MA07 MA15
 MA27 MA29 MA30 MA37 NA25
 PA01 PA08
 5F052 AA02 BB07 CA02 DA02 DB03
 EA02 EA11 EA15 FA06 FA24
 JA04
 5F110 AA30 BB02 CC02 CC08 DD02
 DD07 DD13 EE03 EE34 FF02
 FF30 GG02 GG13 GG45 GG58
 HJ18 HJ23 HL03 HL04 HL12
 HL23 PP03 PP05 PP22

THIS PAGE BLANK (USPTO)